

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

JP08221032 A

DRIVING CIRCUIT FOR PICTURE DISPLAY DEVICE

MITSUBISHI ELECTRIC CORP

Inventor(s):SUGIMOTO MITSUGI ;KOJIMA KAZUAKI ;YAMADA TAKESHI

Application No. 07028394 JP07028394 JP, Filed 19950216,A1 Published 19960830

Abstract: PURPOSE: To average the current load of a power source and to faithfully reproduce gradation by making one set of two gradation data of timewise continuity of each data electrode into one pulse width modulation signal.

CONSTITUTION: An m-number of signals are simultaneously processed by a pulse width modulation circuit used for this driving circuit. The pulse width modulation circuit is composed of data latch circuits 2(1)-2(m) for latching the m-number of input n-bit digital signals, n-bit presettable up-counters 3(1)-3(m) for pulse width modulation, n-bit presettable down-counters 12(1)-12(m) for pulse width modulation, AND circuits 9(1)-9(m) and 14(1)-14(m) and R-S flip-flops 4(1)-4(m), etc. In this composition, timewise continuous gradation data applied to each data electrode is made into one set, and one pulse width modulation signal is made by connecting two gradation signals, so that rises or falls of the pulse modulation signal are not concurrent at all.

Int'l Class: G09G00320; G09G00336

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The image display section with the matrix structure where a data electrode and a scan electrode intersect perpendicularly, The Pulse-Density-Modulation circuit which generates the modulating signal of the pulse width corresponding to gradation data for every predetermined scan period based on a predetermined clock signal, The data electrode actuation circuit which impresses the pulse-width-modulation signal from this pulse-width-modulation circuit to the above-mentioned data electrode, And it is the actuation circuit of the image display device characterized by being constituted so that it may have the scan electrode actuation circuit connected to the above-mentioned scan electrode, the above-mentioned pulse-width-modulation circuit may make a lot two gradation data to each above-mentioned data electrode which continue in time and it may consider as one pulse-width-modulation signal.

[Claim 2] A data electrode is the actuation circuit of the image display device according to claim 1 characterized by thing [a thing] the Pulse-Density-Modulation signal which shifts the timing which it is divided into two groups, and the Pulse-Density-Modulation signal of a lot is impressed to the one group, and connects two gradation signals to other one group by 1 horizontal-scanning period (1H) from the Pulse-Density-Modulation signal of a up Norikazu group, and serves as a lot is impressed, and which were done.

[Claim 3] A data electrode is the actuation circuit of the image display device according to claim 2 characterized by being divided into the odd-numbered group and the even-numbered group.

[Claim 4] A data electrode is the actuation circuit of the image display device according to claim 2 or 3 characterized by dividing the data electrode into two groups in one IC unit for data electrode actuation.

[Translation done.]

LeRoy, Rodney C.

From: Dube, M. Diane
Sent: Sunday, September 26, 2004 5:08 PM
To: LeRoy, Rodney C.
Cc: Dube, M. Diane
Subject: BroadLogic 019927-20-1US

Hi Rodney,

please confirm US 6219358 to Pinder was cited in U.S. app. (it's cited in IPER for 20-1PC)

Thanks, Diane

9/27/2004

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the actuation circuit of the image display device which is used for a visual equipment, information machines and equipment, etc. and in which a gradation display is possible.

[0002]

[Description of the Prior Art] Drawing 7 is the block diagram showing the image display section 51 circumference of a common matrix display panel. In drawing, the data electrode actuation circuit for the digital disposal circuit to which 54 performs the gamma correction of a video signal etc., the pulse width modulation circuit where 55 changes pulse width in the magnitude of a video signal, and 56 making the output signal of the pulse width modulation circuit 55 a predetermined electrical potential difference, and inputting into the data electrode 52, and 57 are the scan electrode actuation circuits for inputting a predetermined electrical potential difference into the scan electrode 53.

[0003] Drawing 8 shows the body of the conventional Pulse-Density-Modulation circuit, and processes m signals simultaneously. the data latch for whom 1 (m) latches m n bit digital signals of inputs, and 1 (1) - 12(1) - 12 (m) -- n bit PURISETTABURU down counter and 4(1) - 4 (m) is an R-S flip-flop for an output. The data inputted from an input terminal 10 are a digital signal which is acquired through a n-bit A/D converter (not shown) in the original analog signal and which changes in time.

[0004] Next, actuation is explained. The data inputted from an input terminal 10 are latched by m n bit data in data latch 1(1) - 1(m) by different latch pulses [in time] L1-Lm sequential on a general target. Data latch's output 21(1) - 21(m) is supplied to the presetting terminal of n bit down counter 12(1) - 12(m), and presetting is carried out by the Load pulse inputted from the load (Load) terminal 5. this counter 12 (1) - the clock of 12 (m) is supplied from the clock terminal 7 -- having -- each counter -- after [from a preset value] a count-down and a borrow (Borrow) -- output 13 (1) - 13 (m) -- R-S flip-flop 4 (1) - it sends to the reset terminal of 4 (m). Since the same thing as the Load pulse of the above-mentioned [a set terminal] is used, the Pulse-Density-Modulation output of the pulse width corresponding to the data of data latch 1(1) - 1(m) is obtained by output 8(1) - 8(m) and (Terminals OP1-OPm).

[0005] Drawing 9 is a timing chart of an electrode actuation wave impressed to the data electrode 52 and the scan electrode 53. The data electrode driving signal (Pulse-Density-Modulation signal) with which X1-Xm are impressed to the data electrode 52, and H1-Hv are scan electrode driving signals impressed to the scan electrode 53.

[0006]

[Problem(s) to be Solved by the Invention] Since the actuation circuit of the conventional image display device was constituted as mentioned above, it had the following troubles.

[0007] In order that all the outputs of a pulse-width-modulation signal might start simultaneously, the

peak of the current load of a data electrode actuation circuit concentrated at once, and when the amount of [of the supply voltage of the actuation circuit by this] ripple increased, the data electrode driving signal was distorted. For this reason, a beautiful image was not able to be displayed. Moreover, the electromagnetic interference wave of large power occurred and the image was spoiled. Furthermore, big screen-ization progresses recently, and it is in the inclination which the load of a data electrode increases, and, for this reason, has the influence of a trouble on the inclination which becomes still larger.

[0008] It is this invention having been made in order to cancel the above troubles, and it making a lot two gradation data with which each data electrode's continues in time, and considering as one Pulse-Density-Modulation signal, and the current load of the above-mentioned power source is equalized, and it aims at offering the actuation circuit of the image display device which can perform the faithful rendering of gradation.

[0009] Moreover, when two gradation data with which each data electrode continues in time are made into a lot and constituted from one Pulse-Density-Modulation signal By the moiety of the data electrode instead of the same timing shifting all data electrodes by 1 horizontal-scanning period (1H), and considering as a lot The current load of the power source for data electrode actuation circuits is equalized, and it aims at offering the actuation circuit of the image display device which can perform the faithful rendering of gradation.

[0010]

[Means for Solving the Problem] The image display section in which the actuation circuit of the image display device concerning this invention has the matrix structure where a data electrode and a scan electrode intersect perpendicularly, The Pulse-Density-Modulation circuit which generates the gradation signal of the pulse width corresponding to gradation data for every predetermined scan period based on a predetermined clock signal, The data electrode actuation circuit which impresses the pulse-width-modulation signal from this pulse-width-modulation circuit to the above-mentioned data electrode, It has the scan electrode actuation circuit connected to the above-mentioned scan electrode, and the above-mentioned pulse-width-modulation circuit is constituted so that it may consider as one pulse-width-modulation signal by making into a lot two gradation data to each above-mentioned data electrode which continue in time.

[0011] as [impress / moreover, / in the above-mentioned configuration / the Pulse-Density-Modulation signal which shifts the timing which a data electrode is divided into two groups, and the Pulse-Density-Modulation signal of a lot is impressed to the one group, and connects two gradation signals to other one group by 1 horizontal-scanning period (1H) from the Pulse-Density-Modulation signal of a up Norikazu group, and serves as a lot] -- it is carried out.

[0012] Moreover, the data electrode is divided into the odd-numbered group and the even-numbered group in the above-mentioned configuration.

[0013] Moreover, as for the data electrode, the data electrode is divided into two groups in one IC unit for data electrode actuation.

[0014]

[Function] The actuation circuit of the image display device in this invention is making into a lot the gradation data which join each data electrode and which continue in time, connecting two gradation signals and considering as one Pulse-Density-Modulation signal, abolishes that all standups or fallings of a Pulse-Density-Modulation signal become simultaneous, and equalizes the current load of the power source for data electrode actuation circuits.

[0015]

[Example]

One example of this invention is explained about drawing below example 1. Drawing 1 shows the body of the Pulse-Density-Modulation circuit used for the actuation circuit of the image display device of this invention, and processes m signals simultaneously. The data latch for whom 2(1) -2(m) latches m n bit

digital signals of inputs, 3(1) - 3(m) n bit PURISETTABURU rise counter for pulse width modulation, 12(1) - 12(m) n bit PURISETTABURU down counter for pulse width modulation, 5 load (LOAD) 2 terminal and 7 for a load (LOAD) terminal and 6 A clock (CLK) terminal, 9 (1) - 9 (m) and 14 (1) - 14 (m) -- an AND circuit and 16 -- an enabling (ENABLE) terminal and 19 -- enabling (ENABLE) 2 terminal and 4(1) - 4 (m) is an R-S flip-flop.

[0016] and the data latch's 2 (1) Q output -- the presetting (P) terminal of n bit PURISETTABURU down counter 12 (1) -- moreover, Q bar output which is the data latch's 2 (1) reversal output is connected to the presetting (P) terminal of n bit PURISETTABURU rise counter 3 (1), respectively, and the output of each counter is further applied to AND circuit 14 (1) and 9 (1). The output of each above-mentioned AND circuit is impressed to R of R-S flip-flop 4 (1), and a switch terminal. Hereafter, it is made by connection with the same said of data latch 2(2) - 2(m). n bit PURISETTABURU down counter 12 (1) - the load (L) terminal of 12 (m) -- the signal from the LOAD terminal 5 -- moreover, n bit PURISETTABURU rise counter 3 (1) - the load (L) terminal of 3 (m) are loaded by the signal from LOAD2 terminal 6, respectively. AND-circuit 4(1) - 4(m) is an enable signal from a terminal 16, and AND-circuit 9(1) - 9(m) is controlled by the enable signal from a terminal 19.

[0017] Next, actuation is explained. The data inputted from an input terminal 10 are latched by m n bit data in data latch 2(1) - 2(m) by different latch pulses [in time] L1-Lm sequential on a general target. latch 2 (1) - reversal output [from 2 (m)] 18 (1) - 18 (m) -- n bit PURISETTABURU rise counter 3 (1) - the presetting terminal of 3 (m) is supplied and presetting is carried out by load (LOAD) 2 pulse inputted from load (LOAD) 2 terminal 6. The clock of this n bit PURISETTABURU rise counter is supplied from the clock terminal 7, carry (Carry) output 17(1) - 17(m) of each counter is sent to AND-circuit 9(1) - 9(m), and enabling (ENABLE) 2 pulse and AND which are inputted from the enabling (ENABLE) terminal 19 are taken. The output 15(1) - 15(m) is connected to R-S flip-flop 4 (1) - the set (S) terminal of 4 (m). The period from the standup of output 15(1) - 15(m) to the standup of a load (LOAD) pulse becomes a Pulse-Density-Modulation signal corresponding to the data of data latch 2(1) - 2(m). It is equivalent to a part for the first portion of two Pulse-Density-Modulation signals connected with one in the standup of this, i.e., a LOAD pulse.

[0018] Similarly, the data inputted from an input terminal 10 are latched by m n bit data in data latch 2(1) - 2(m) by different latch pulses [in time] L1-Lm sequential on a general target. latch 2 (1) - output [from Q of 2 (m)] 11 (1) - 11 (m) -- n bit PURISETTABURU down counter 12 (1) - the presetting terminal of 12 (m) is supplied and presetting is carried out by the load (LOAD) pulse inputted from the load (LOAD) terminal 5. the clock of this down counter is supplied from the clock terminal 7 -- having -- the borrow (Borrow) of each counter -- output 13 (1) - 13 (m) -- AND-circuit 14 (1) - the enabling (ENABLE) pulse and AND which are inputted into 14 (m) and inputted from the enabling (ENABLE) terminal 16 are taken. The output 20(1) - 20(m) is connected to R-S flip-flop 4 (1) - the reset (R) terminal of 4 (m). The period from the standup of a load (LOAD) pulse to the standup of output 20(1) - 20(m) becomes a Pulse-Density-Modulation signal corresponding to the data of data latch 2(1) - 2(m). It is equivalent to the second half part of two Pulse-Density-Modulation signals connected with one in the standup of this, i.e., a load (LOAD) pulse.

[0019] Two Pulse-Density-Modulation signals turn into one Pulse-Density-Modulation signal by R-S flip-flop 4(1) - 4(m) as mentioned above, and it is taken out from OP(1) - OP(m). Drawing 3 is the timing chart of the pulse-width-modulation circuit in this example which shows signs that it explained now. Moreover, drawing 2 is a timing chart of an electrode actuation wave impressed to the data electrode 52 and the scan electrode 53 in this example 1. It connects, that all outputs start simultaneously or fall in order to change with the contents of the image does not almost have the standup and falling stage of a Pulse-Density-Modulation output which were made, and the distortion of the data electrode driving signal by the increment for a ripple in the supply voltage of the actuation circuit seen conventionally is removed.

[0020] Example 2. drawing 4 shows the body of the pulse-width-modulation circuit used for the

actuation circuit of the image display device concerning the example 2 of this invention, and in this example, a data electrode is divided into two groups and it is made from data electrode actuation output terminal OP1-OPm/2 in that front half as [impress / to that rear half / from data electrode actuation output terminal OPm/2+1-OPm / an output pulse]. The load (LOAD) terminal 5 is connected to loading (LOAD) of n bit PURISETTABURU down counter 12(1) -12 (m/2) and n bit PURISETTABURU rise counters 3 (m / 2+1)-3 (m). On the other hand, it connects with loading (LOAD) of n bit PURISETTABURU rise counter 3(1) -3 (m/2) and n bit PURISETTABURU down counters 12 (m / 2+1)-12 (m), and load (LOAD) 2 terminal 6 is the same as that of the configuration of drawing 1 except *****.

[0021] Next, actuation is explained. First, the front half of a data electrode actuation output terminal is explained. the data inputted from an input terminal 10 differ in time in data latch 2(1) -2 (m/2) -- generally sequential latch pulse L1-Lm/2 are latched to m/2 n bit data. Reversal output 18(1) -18 (m/2) from latch 2(1) -2 (m/2) is supplied to the presetting (PRESET) terminal of n bit rise counter 3(1) -3 (m/2), and presetting is carried out by load (LOAD) 2 pulse inputted from load (LOAD) 2 terminal 6. The clock of this n bit rise counter is supplied from the clock terminal 7, carry (Carry) output 17(1) -17 (m/2) of each counter is sent to AND-circuit 9(1) -9 (m/2), and enabling (ENABLE) 2 pulse and AND which are inputted from the enabling (ENABLE) terminal 19 are taken. The output 15(1) -15 (m/2) is connected to the set (SET) terminal of R-S flip-flop 4(1) -4 (m/2). The period from the standup of output 15(1) -15 (m/2) to the standup of a load (LOAD) pulse becomes a Pulse-Density-Modulation signal corresponding to the data of data latch 2(1) -2 (m/2). It is equivalent to a part for the first portion of two Pulse-Density-Modulation signals connected with one in the standup of this, i.e., a LOAD pulse.

[0022] similarly, the data inputted from an input terminal 10 differ in time in data latch 2(1) -2 (m/2) -- generally sequential latch pulse L1-Lm/2 are latched to m/2 n bit data. Output 11(1) -11 (m/2) from latch 2(1) -2 (m/2) is supplied to the presetting terminal of n bit PURISETTABURU down counter 12(1) -12 (m/2), and presetting is carried out by the load (LOAD) pulse inputted from the load (LOAD) terminal 5. the clock of this n bit PURISETTABURU down counter is supplied from the clock terminal 7 -- having -- the borrow (Borrow) of each counter -- output 13(1) -13 (m/2) is sent to AND-circuit 14(1) -14 (m/2), and the enabling (ENABLE) pulse and AND which are inputted from the enabling (ENABLE) terminal 16 are taken. The output 20(1) -20 (m/2) is connected to the reset (RESET) terminal of R-S flip-flop 4(1) -4 (m/2). The period from the standup of a LOAD pulse to the standup of output 20(1) -20 (m/2) becomes a Pulse-Density-Modulation signal corresponding to the data of data latch 2(1) -2 (m/2). It is equivalent to the second half part of two Pulse-Density-Modulation signals connected with one in the standup of this, i.e., a LOAD pulse. The output of these pulses is taken out by data electrode actuation output terminal OP1-OPm/2.

[0023] Next, the rear half of a data electrode actuation output terminal is explained. the data inputted from an input terminal 10 differ in time in the data latches 2 (m / 2+1)-2 (m) -- generally sequential latch pulse Lm/2+1-Lm is latched to m/2 n bit data. The reversal outputs 18 (m / 2+1)-18 (m) from latches 2 (m / 2+1)-2 (m) are supplied to the presetting terminal of the n bit rise counters 3 (m / 2+1)-3 (m), and presetting is carried out by the load (LOAD) pulse inputted from the load (LOAD) terminal 5. The clock of this rise counter is supplied from the clock terminal 7, the carry (Carry) outputs 17 (m / 2+1)-17 of each counter (m) are sent to AND circuits 9 (m / 2+1)-9 (m), and the enabling (ENABLE) pulse and AND which are inputted from the enabling (ENABLE) terminal 16 are taken. The outputs 15 (m / 2+1)-15 (m) are connected to the set (SET) terminal of R-S flip-flops 4 (m / 2+1)-4 (m). The period from the standup of outputs 15 (m / 2+1)-15 (m) to the standup of load (LOAD) 2 pulse becomes a Pulse-Density-Modulation signal corresponding to the data latches' 2 (m / 2+1)-2 (m) data. It is equivalent to a part for the first portion of two Pulse-Density-Modulation signals connected with one in the standup of this, i.e., LOAD2 pulse.

[0024] similarly, the data inputted from an input terminal 10 differ in time in the data latches 2 (m / 2+1)-2 (m) -- generally sequential latch pulse Lm/2+1-Lm is latched to m/2 n bit data. The outputs 11 (m

/ 2+1)-11 (m) from latches 2 (m / 2+1)-2 (m) are supplied to the presetting terminal of the n bit down counters 12 (m / 2+1)-12 (m), and presetting is carried out by load (LOAD) 2 pulse inputted from load (LOAD) 2 terminal 6. the clock of this down counter is supplied from the clock terminal 7 -- having -- the borrow (Borrow) of each counter -- outputs 13 (m / 2+1)-13 (m) are sent to AND circuits 14 (m / 2+1)-14 (m), and enabling (ENABLE) 2 pulse and AND which are inputted from enabling (ENABLE) 2 terminal 19 are taken. The outputs 20 (m / 2+1)-20 (m) are connected to the reset (RESET) terminal of R-S flip-flops 4 (m / 2+1)-4 (m). The period from the standup of load (LOAD) 2 pulse to the standup of outputs 20 (m / 2+1)-20 (m) becomes a Pulse-Density-Modulation signal corresponding to the data latches' 2 (m / 2+1)-2 (m) data. It is equivalent to the second half part of two Pulse-Density-Modulation signals connected with one in the standup of this, i.e., LOAD2 pulse. The output of these pulses is taken out by data electrode actuation output terminal OPm/2+1-OPm.

[0025] Two Pulse-Density-Modulation signals turn into one Pulse-Density-Modulation signal by R-S flip-flop 4(1) -4(m) as mentioned above. Drawing 6 is the timing chart of the pulse-width-modulation circuit in this example. Since the standup of a Pulse-Density-Modulation signal and the stage of falling change with the contents of the image, they do not almost have that all outputs start simultaneously or fall. Moreover, drawing 5 is a timing chart of an electrode actuation wave impressed to each electrode in this example 2 which shows signs that it explained now. The part has shifted the timing to connect by one [H] between a LOAD pulse and LOAD2 pulse in a part for the first portion, and the second half of a data electrode driving signal.

[0026] Although divided the data electrode into two groups, it is made to drive it and that way of dividing divided into the front half and rear half of a data electrode actuation terminal in the example 3. example 2, it divides into the oddth and even-numbered two groups of a data electrode actuation terminal in this example. If horizontal correlation is strong and divides actuation timing by the odd-numbered group of an output terminal, and the even-numbered group when an image is natural drawing, since the effectiveness of equalization of an actuation current is large, such how to divide will be adopted. Moreover, an example 2 and an example 3 are not necessarily limited to dividing into a moiety, although the number of the data electrode actuation terminals of one group has large effectiveness when it is a moiety exactly.

[0027] You may make it divide a data electrode into two groups in IC unit for data electrode actuation as an example 4. and division direction which divides a data electrode actuation terminal into two groups. For example, in the case of IC which integrated 40 terminals of a data electrode actuation circuit, it divides into two groups for 20 terminals. Thus, if it IC-izes, and generating of active jamming will decrease and it will divide into two groups per one IC further since the impedance (resistance) of a power source or GND does not become large with the pattern of a substrate, since a current is equalized inside IC, generating of active jamming will decrease more.

[0028]

[Effect of the Invention] Since this invention says as mentioned above that no the standup and falling of a Pulse-Density-Modulation signal become simultaneous with outputs, concentration of a current load is lost, the increment for a ripple in the power source for data electrode actuation circuits can be lessened extremely, and a beautiful image can be displayed by reproducing a gradation signal faithfully.

Moreover, since the number of a Pulse-Density-Modulation signal becomes fewer, ON of an output circuit and the count of OFF become fewer, and reduction of a current load can realize a low power. Furthermore, an electromagnetic interference wave can be stopped small.

[0029] Moreover, by carrying out a data electrode for 2 minutes, and distributing a current load more by shifting TAIMMINGU which connects two gradation signals to the moiety of a data electrode by one [H], the increment for a ripple in the power source for data electrode actuation circuits can be lessened extremely, and a more beautiful image can be displayed.

[0030] Furthermore, since a current load can be equalized per one data electrode actuation circuit IC, while being able to lessen extremely the increment for a ripple in the power source for data electrode

actuation circuits and being able to display a more beautiful image, it is effective in making an electromagnetic interference wave smaller.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-221032

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	K
		4237-5H		V
3/36			3/36	

審査請求 未請求 請求項の数4 OL (全10頁)

(21) 出願番号 特願平7-28394

(22) 出願日 平成7年(1995)2月16日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 杉本 貢

京都府長岡京市馬場園所1番地 三菱電機株式会社京都製作所内

(72) 発明者 小嶋 和昭

京都府長岡京市馬場園所1番地 三菱電機エンジニアリング株式会社京都事業所内

(72) 発明者 山田 武

京都府長岡京市馬場園所1番地 三菱電機株式会社映像システム開発研究所内

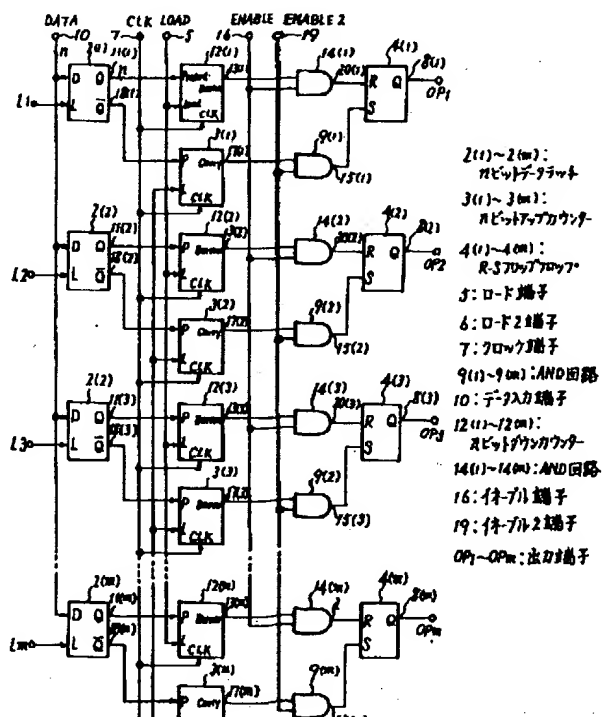
(74) 代理人 弁理士 大岩 増雄

(54) 【発明の名称】 画像表示装置の駆動回路

(57) 【要約】

【目的】 パルス幅変調信号の立ち上がりや立ち下がり時期を分散することで、データ駆動電源の電流負荷を平均化し、データ電極駆動信号を忠実に再現することにより美しい画像を表示可能とした画像表示装置の駆動回路を得る。

【構成】 データ電極と走査電極が直交するマトリクス構造を持つ画像表示部、階調データに対応したパルス幅の階調信号を所定のクロック信号をもとにして所定の走査期間毎に生成するパルス幅変調回路、このパルス幅変調回路からのパルス幅変調信号を上記データ電極に印加するデータ電極駆動回路、及び上記走査電極に接続された走査電極駆動回路を備え、上記パルス幅変調回路は、上記各データ電極への時間的に連続する二つの階調データを一組として一つのパルス幅変調信号とするように構成されている。



【特許請求の範囲】

【請求項1】 データ電極と走査電極が直交するマトリクス構造を持つ画像表示部、階調データに対応したパルス幅の変調信号を所定のクロック信号をもとにして所定の走査期間毎に生成するパルス幅変調回路、このパルス幅変調回路からのパルス幅変調信号を上記データ電極に印加するデータ電極駆動回路、及び上記走査電極に接続された走査電極駆動回路を備え、上記パルス幅変調回路は、上記各データ電極への時間的に連続する二つの階調データを一組として一つのパルス幅変調信号とするよう10 に構成されていることを特徴とする画像表示装置の駆動回路。

【請求項2】 データ電極は、2群に分けられ、その1群に対しては一組のパルス幅変調信号が印加され、また、他の1群に対しては二つの階調信号を接続するタイミングを上記一組のパルス幅変調信号より1水平走査期間(1H)分ずらして一組となるパルス幅変調信号が印加されるようなされたことを特徴とする請求項1記載の画像表示装置の駆動回路。

【請求項3】 データ電極は、奇数番目の群と偶数番目の群に分けられていることを特徴とする請求項2記載の画像表示装置の駆動回路。20

【請求項4】 データ電極は、データ電極駆動用IC1個単位においてデータ電極が2群に分けられていることを特徴とする請求項2または請求項3記載の画像表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、映像機器や情報機器などに使用される階調表示可能な画像表示装置の駆動回路に関するものである。30

【0002】

【従来の技術】 図7は、一般的なマトリクス表示パネルの画像表示部51周辺を示すブロック図である。図において、54は例えば映像信号のガンマ補正などを行う信号処理回路、55は映像信号の大きさにパルス幅を変えパルス幅変調回路、56はパルス幅変調回路55の出力信号を所定の電圧にし、データ電極52に入力するためのデータ電極駆動回路、57は所定の電圧を走査電極53に入力するための走査電極駆動回路である。40

【0003】 図8は従来のパルス幅変調回路の主要部を示すものであり、m個の信号を同時処理する。1(1)～1(m)はm個の入力nビットデジタル信号をラッチするデータラッチ、12(1)～12(m)はnビットプリセッタブルダウンカウンタ、4(1)～4(m)は出力用のR-Sフリップフロップである。入力端子10から入力されるデータは、元のアナログ信号をnビットのA/Dコンバータ(図示せず)を介して得られる時間的に変化するデジタル信号である。

から入力されるデータは、データラッチ1(1)～1(m)において、時間的に異なる、一般的にはシーケンシャルなラッチパルスL1～Lmによってm個のnビットデータにラッチされる。データラッチの出力21(1)～21(m)は、nビットダウンカウンタ12(1)～12(m)のプリセット端子に供給され、ロード(Load)端子5から入力されるLoadパルスによりプリセットされる。このカウンタ12(1)～12(m)のクロックは、クロック端子7より供給され、各々のカウンタは、プリセット値からカウントダウン後、ボロー(Borrow)出力13(1)～13(m)をR-Sフリップフロップ4(1)～4(m)のリセット端子に送る。セット端子は前述のLoadパルスと同じものが用いられるので、出力8(1)～8(m)(端子OP1～OPm)に、データラッチ1(1)～1(m)のデータに対応するパルス幅のパルス幅変調出力が得られる。

【0005】 図9はデータ電極52及び走査電極53に印加される電極駆動波形のタイミングチャートである。X1～Xmはデータ電極52に印加されるデータ電極駆動信号(パルス幅変調信号)、H1～Hvは走査電極53に印加される走査電極駆動信号である。

【0006】

【発明が解決しようとする課題】 従来の画像表示装置の駆動回路は以上のように構成されているので、次のような問題点があった。

【0007】 パルス幅変調信号の全ての出力が同時に立ち上がるため、データ電極駆動回路の電流負荷のピークが一度に集中し、これによる駆動回路の電源電圧のリップル分が増加することによりデータ電極駆動信号が歪んでいた。このため、美しい画像を表示することができなかった。また、大電力の電磁妨害波が発生し、画像が損なわれていた。さらに、最近は大画面化が進み、データ電極の負荷が増加する傾向にあり、このため問題点の影響はさらに大きくなる傾向にある。

【0008】 この発明は上記のような問題点を解消するためになされたもので、各データ電極の、時間的に連続する2つの階調データを一組とし、一つのパルス幅変調信号とすることで、上記電源の電流負荷を平均化し、階調の忠実な再現ができる画像表示装置の駆動回路を提供することを目的とするものである。

【0009】 また、各データ電極の、時間的に連続する2つの階調データを一組とし、一つのパルス幅変調信号で構成するときに、全てのデータ電極を同じタイミングではなく、データ電極の半数は1水平走査期間(1H)分ずらして一組とすることにより、データ電極駆動回路用電源の電流負荷を平均化し、階調の忠実な再現ができる画像表示装置の駆動回路を提供することを目的とするものである。

【課題を解決するための手段】この発明に係る画像表示装置の駆動回路は、データ電極と走査電極とが直交するマトリクス構造を持つ画像表示部と、階調データに対応したパルス幅の階調信号を所定のクロック信号をもとにして所定の走査期間毎に生成するパルス幅変調回路と、このパルス幅変調回路からのパルス幅変調信号を上記データ電極に印加するデータ電極駆動回路と、上記走査電極に接続された走査電極駆動回路とを備え、上記パルス幅変調回路は、上記各データ電極への時間的に連続する二つの階調データを一組として一つのパルス幅変調信号とするように構成されている。

【0011】また、上記構成において、データ電極は、2群に分けられ、その1群に対しては一組のパルス幅変調信号が印加され、また、他の1群に対しては二つの階調信号を接続するタイミングを上記一組のパルス幅変調信号より1水平走査期間(1H)分ずらして一組となるパルス幅変調信号が印加されるようになっている。

【0012】また、上記構成において、データ電極は、奇数番目の群と偶数番目の群に分けられている。

【0013】また、データ電極は、データ電極駆動用IC1個単位においてデータ電極が2群に分けられている。

【0014】

【作用】この発明における画像表示装置の駆動回路は、各データ電極へ加わる時間的に連続する階調データを一組とし、二つの階調信号を連結して一つのパルス幅変調信号とすることで、パルス幅変調信号の立ち上がりまたは立ち下がりが全て同時となることをなくし、データ電極駆動回路用電源の電流負荷を平均化する。

【0015】

【実施例】

実施例1. 以下、この発明の一実施例を図について説明する。図1はこの発明の画像表示装置の駆動回路に使用されるパルス幅変調回路の主要部を示すものであり、m個の信号を同時処理する。2(1)~2(m)はm個の入力nビットデジタル信号をラッチするデータラッチ、3(1)~3(m)はパルス幅変調のためのnビットプリセッタブルアップカウンタ、12(1)~12(m)はパルス幅変調のためのnビットプリセッタブルダウンカウンタ、5はロード(LOAD)端子、6はロード(LOAD)2端子、7はクロック(CLK)端子、9(1)~9(m)及び14(1)~14(m)はAND回路、16はイネーブル(ENABLE)端子、19はイネーブル(ENABLE)2端子、4(1)~4(m)はR-Sフリップフロップである。

【0016】そして、例えば、データラッチ2(1)のQ出力は、nビットプリセッタブルダウンカウンタ12(1)のプリセット(P)端子に、また、データラッチ2(1)の反転出力であるQバー出力は、nビットプ

(P)端子にそれぞれ接続され、さらに、各カウンタの出力はAND回路14(1)及び9(1)に加えられている。R-Sフリップフロップ4(1)のR及びS端子には上記各AND回路の出力が印加される。以下、データラッチ2(2)~2(m)についても同様な接続になされている。nビットプリセッタブルダウンカウンタ12(1)~12(m)のロード(L)端子は、LOAD端子5からの信号で、また、nビットプリセッタブルアップカウンタ3(1)~3(m)のロード(L)端子は、LOAD2端子6からの信号でそれぞれロードされる。AND回路4(1)~4(m)は端子16からのイネーブル信号で、また、AND回路9(1)~9(m)は端子19からのイネーブル信号で制御される。

【0017】次に、動作について説明する。入力端子10から入力されるデータは、データラッチ2(1)~2(m)において、時間的に異なる、一般的にはシーケンシャルなラッチパルスL1~Lmによってm個のnビットデータにラッチされる。ラッチ2(1)~2(m)からの反転出力18(1)~18(m)は、nビットプリセッタブルアップカウンタ3(1)~3(m)のプリセット端子に供給され、ロード(LOAD)2端子6から入力されるロード(LOAD)2パルスによりプリセットされる。このnビットプリセッタブルアップカウンタのクロックは、クロック端子7より供給され、各々のカウンタのキャリー(Carry)出力17(1)~17(m)がAND回路9(1)~9(m)に送られ、イネーブル(ENABLE)端子19から入力されるイネーブル(ENABLE)2パルスと論理積がとられる。その出力15(1)~15(m)はR-Sフリップフロップ4(1)~4(m)のセット(S)端子に接続される。出力15(1)~15(m)の立ち上がりからロード(LOAD)パルスの立ち上がりまでの期間が、データラッチ2(1)~2(m)のデータに対応するパルス幅変調信号になる。これはつまり、LOADパルスの立ち上がりで一つに連結する、二つのパルス幅変調信号の前半部分に相当する。

【0018】同様に、入力端子10から入力されるデータは、データラッチ2(1)~2(m)において、時間的に異なる、一般的にはシーケンシャルなラッチパルスL1~Lmによってm個のnビットデータにラッチされる。ラッチ2(1)~2(m)のQからの出力11(1)~11(m)は、nビットプリセッタブルダウンカウンタ12(1)~12(m)のプリセット端子に供給され、ロード(LOAD)端子5から入力されるロード(LOAD)パルスによりプリセットされる。このダウンカウンタのクロックはクロック端子7より供給され、各々のカウンタのボロー(Borrow)出力13(1)~13(m)がAND回路14(1)~14(m)に入力され、イネーブル(ENABLE)端子1

論理積がとられる。その出力20(1)~20(m)はR-Sフリップフロップ4(1)~4(m)のリセット(R)端子に接続される。ロード(LOAD)パルスの立ち上がりから出力20(1)~20(m)の立ち上がりまでの期間が、データラッチ2(1)~2(m)のデータに対応するパルス幅変調信号になる。これはつまり、ロード(LOAD)パルスの立ち上がりで一つに連結する、二つのパルス幅変調信号の後半部分に相当する。

【0019】上記のようにして、二つのパルス幅変調信号は、R-Sフリップフロップ4(1)~4(m)で一つのパルス幅変調信号になり、OP(1)~OP(m)から取り出される。図3は今説明した様子を示す本実施例におけるパルス幅変調回路のタイミングチャートである。また、図2は本実施例1におけるデータ電極52及び走査電極53に印加される電極駆動波形のタイミングチャートである。連結してできたパルス幅変調出力の立ち上がり及び立ち下がり時期は、画像の内容により変化するため、全ての出力が同時に立ち上がったたり立ち下がったりすることは殆どなく、従来見られた駆動回路の電源電圧のリプル分の増加によるデータ電極駆動信号の歪みは除去される。

【0020】実施例2。図4は、この発明の実施例2に係る画像表示装置の駆動回路に使用されるパルス幅変調回路の主要部を示すものであり、この実施例ではデータ電極が2群に分けられ、その前半分にはデータ電極駆動出力端子OP1~OPm/2から、その後半分にはデータ電極駆動出力端子OPm/2+1~OPmから出力パルスが印加されるようになっている。ロード(LOAD)端子5はnビットプリセットブルダウンカウンタ12(1)~12(m/2)及びnビットプリセットブルアップカウンタ3(m/2+1)~3(m)のロード(LOAD)に接続され、一方ロード(LOAD)2端子6はnビットプリセットブルアップカウンタ3(1)~3(m/2)及びnビットプリセットブルダウンカウンタ12(m/2+1)~12(m)のロード(LOAD)に接続されている以外は図1の構成と同様である。

【0021】次に動作を説明する。まず、データ電極駆動出力端子の前半分について説明する。入力端子10から入力されるデータは、データラッチ2(1)~2(m/2)において、時間的に異なる、一般的にはシーケンシャルなラッチパルスL1~Lm/2によってm/2個のnビットデータにラッチされる。ラッチ2(1)~2(m/2)からの反転出力18(1)~18(m/2)は、nビットアップカウンタ3(1)~3(m/2)のプリセット(PRESET)端子に供給され、ロード(LOAD)2端子6から入力されるロード(LOAD)2パルスによりプリセットされる。このnビットア

され、各々のカウンタのキャリー(Carry)出力17(1)~17(m/2)がAND回路9(1)~9(m/2)に送られ、イネーブル(ENABLE)端子19から入力されるイネーブル(ENABLE)2パルスと論理積がとられる。その出力15(1)~15(m/2)はR-Sフリップフロップ4(1)~4(m/2)のセット(SET)端子に接続される。出力15(1)~15(m/2)の立ち上がりからロード(LOAD)パルスの立ち上がりまでの期間が、データラッチ2(1)~2(m/2)のデータに対応するパルス幅変調信号になる。これはつまり、LOADパルスの立ち上がりで一つに連結する、二つのパルス幅変調信号の前半部分に相当する。

【0022】同様に、入力端子10から入力されるデータは、データラッチ2(1)~2(m/2)において、時間的に異なる、一般的にはシーケンシャルなラッチパルスL1~Lm/2によってm/2個のnビットデータにラッチされる。ラッチ2(1)~2(m/2)からの出力11(1)~11(m/2)は、nビットプリセットブルダウンカウンタ12(1)~12(m/2)のプリセット端子に供給され、ロード(LOAD)端子5から入力されるロード(LOAD)パルスによりプリセットされる。このnビットプリセットブルダウンカウンタのクロックは、クロック端子7より供給され、各々のカウンタのボロー(Borrow)出力13(1)~13(m/2)がAND回路14(1)~14(m/2)に送られ、イネーブル(ENABLE)端子16から入力されるイネーブル(ENABLE)パルスと論理積がとられる。その出力20(1)~20(m/2)はR-Sフリップフロップ4(1)~4(m/2)のリセット(RESET)端子に接続される。LOADパルスの立ち上がりから出力20(1)~20(m/2)の立ち上がりまでの期間が、データラッチ2(1)~2(m/2)のデータに対応するパルス幅変調信号になる。これはつまり、LOADパルスの立ち上がりで一つに連結する、二つのパルス幅変調信号の後半部分に相当する。これらパルスの出力はデータ電極駆動出力端子OP1~OPm/2に取り出される。

【0023】次に、データ電極駆動出力端子の後半分について説明する。入力端子10から入力されるデータは、データラッチ2(m/2+1)~2(m)において、時間的に異なる、一般的にはシーケンシャルなラッチパルスLm/2+1~Lmによってm/2個のnビットデータにラッチされる。ラッチ2(m/2+1)~2(m)からの反転出力18(m/2+1)~18(m)は、nビットアップカウンタ3(m/2+1)~3(m)のプリセット端子に供給され、ロード(LOAD)端子5から入力されるロード(LOAD)パルスによりプリセットされる。このアップカウンタのクロッ

のキャリー (Carry) 出力 $17(m/2+1) \sim 17(m)$ がAND回路 $9(m/2+1) \sim 9(m)$ に送られ、イネーブル (ENABLE) 端子 16 から入力されるイネーブル (ENABLE) パルスと論理積がとられる。その出力 $15(m/2+1) \sim 15(m)$ はR-Sフリップフロップ $4(m/2+1) \sim 4(m)$ のセット (SET) 端子に接続される。出力 $15(m/2+1) \sim 15(m)$ の立ち上がりからロード (LOAD) 2パルスの立ち上がりまでの期間が、データラッチ $2(m/2+1) \sim 2(m)$ のデータに対応するパルス幅変調信号になる。これはつまり、LOAD 2パルスの立ち上がりで一つに連結する、二つのパルス幅変調信号の前半部分に相当する。

【0024】同様に、入力端子 10 から入力されるデータは、データラッチ $2(m/2+1) \sim 2(m)$ において、時間的に異なる、一般的にはシーケンシャルなラッチパルス $Lm/2+1 \sim Lm$ によって $m/2$ 個の n ビットデータにラッチされる。ラッチ $2(m/2+1) \sim 2(m)$ からの出力 $11(m/2+1) \sim 11(m)$ は、 n ビットダウンカウンタ $12(m/2+1) \sim 12(m)$ のプリセット端子に供給され、ロード (LOAD) 2端子 6 から入力されるロード (LOAD) 2パルスによりプリセットされる。このダウンカウンタのクロックは、クロック端子 7 より供給され、各々のカウンタのボロー (Borrow) 出力 $13(m/2+1) \sim 13(m)$ がAND回路 $14(m/2+1) \sim 14(m)$ に送られ、イネーブル (ENABLE) 2端子 19 から入力されるイネーブル (ENABLE) 2パルスと論理積がとられる。その出力 $20(m/2+1) \sim 20(m)$ はR-Sフリップフロップ $4(m/2+1) \sim 4(m)$ のリセット (RESET) 端子に接続される。ロード (LOAD) 2パルスの立ち上がりから出力 $20(m/2+1) \sim 20(m)$ の立ち上がりまでの期間が、データラッチ $2(m/2+1) \sim 2(m)$ のデータに対応するパルス幅変調信号になる。これはつまり、LOAD 2パルスの立ち上がりで一つに連結する、二つのパルス幅変調信号の後半部分に相当する。これらパルスの出力はデータ電極駆動出力端子 $OPm/2+1 \sim OPm$ に取り出される。

【0025】上記のようにして、二つのパルス幅変調信号は、R-Sフリップフロップ $4(1) \sim 4(m)$ で一つのパルス幅変調信号となる。図6は本実施例におけるパルス幅変調回路のタイミングチャートである。パルス幅変調信号の立ち上がり及び立ち下りの時期は画像の内容により変化するため、全ての出力が同時に立ち上がった立ち下がったりすることは殆どない。また、図5は今説明した様子を示す本実施例2における各電極に印加する電極駆動波形のタイミングチャートである。データ電極駆動信号の前半部分と後半部分とは、連結するタ

分ずらしている。

【0026】実施例3. 実施例2では、データ電極を2群に分けて駆動するようにし、その分け方はデータ電極駆動端子の前半分と後半分に分けたが、この実施例では、データ電極駆動端子の奇数番目と偶数番目の2群に分ける。映像が自然画の場合には水平方向の相関が強く、出力端子の奇数番目の群と偶数番目の群で駆動タイミングを分けると、駆動電流の平均化の効果が大きいので、このような分け方をする。また、実施例2、実施例3とも、一つの群のデータ電極駆動端子の数は丁度半数であるときに効果が大きい、必ずしも半数に分けることに限定するものではない。

【0027】実施例4. また、データ電極駆動端子を2群に分ける分け方として、データ電極駆動用IC単位においてデータ電極を2群に分けるようにしてもよい。例えば、データ電極駆動回路の40個の端子分を集積化したICの場合、20端子分の2群に分ける。このようにIC化すると、電源やGNDのインピーダンス (抵抗) が基板のパターンにより大きくなることがないため、妨害の発生が少なくなりさらに、IC1個単位で2群に分ければ、IC内部で電流が平均化されるために妨害の発生はより少なくなる。

【0028】

【発明の効果】以上のようにこの発明によれば、パルス幅変調信号の立ち上がりや立ち下がりが全ての出力で同時になるということがないため、電流負荷の集中がなくなり、データ電極駆動回路用電源のリップル分の増加を極めて少なくでき、階調信号を忠実に再現することにより美しい画像を表示できるものである。また、パルス幅変調信号の個数が減るため、出力回路のON、OFFの回数が減り、電流負荷の減少により低消費電力が実現できる。さらに、電磁妨害波を小さく抑えることができる。

【0029】また、データ電極を2分し、データ電極の半数に対しては二つの階調信号を接続するタイミングを1H分ずらすことで電流負荷をより分散することにより、データ電極駆動回路用電源のリップル分の増加を極めて少なくし、より美しい画像を表示することができる。

【0030】さらに、データ電極駆動回路IC1個単位で電流負荷を平均化することができるために、データ電極駆動回路用電源のリップル分の増加を極めて少なくし、より美しい画像を表示できるとともに、電磁妨害波をより小さくするという効果がある。

【図面の簡単な説明】

【図1】この発明の実施例1におけるパルス幅変調回路の主要部を示すブロック回路図である。

【図2】この発明の実施例1における画像表示部の各電極に印加される電極駆動波形のタイミングチャートであ

【図3】この発明の実施例1におけるパルス幅変調回路の各部波形のタイミングチャートである。

【図4】この発明の実施例2におけるパルス幅変調回路の主要部を示すブロック回路図である。

【図5】この発明の実施例2における画像表示部の各電極に印加される電極駆動波形のタイミングチャートである。

【図6】この発明の実施例2におけるパルス幅変調回路の各部波形のタイミングチャートである。

【図7】一般的なマトリクス画像表示部及びその周辺回路構成を示すブロック図である。

【図8】従来のパルス幅変調回路の主要部を示すブロック回路図である。

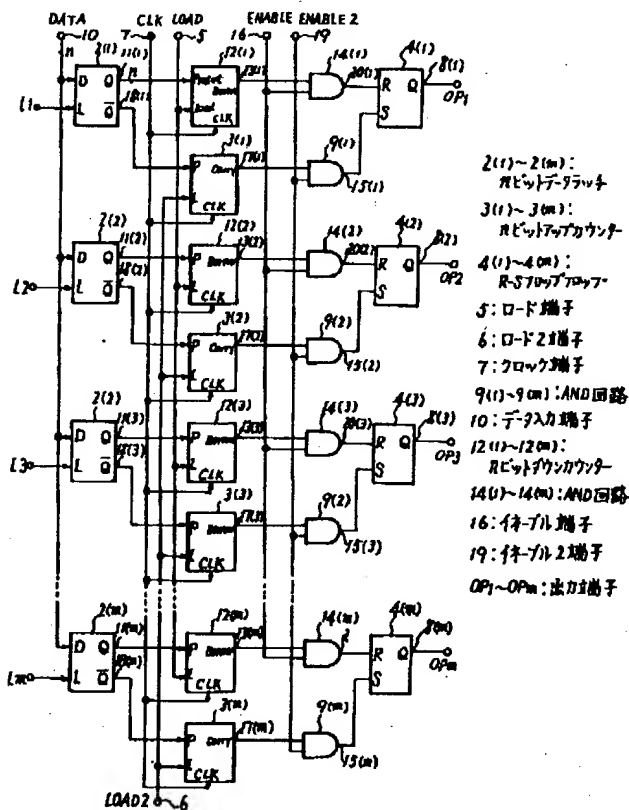
【図9】画像表示部の各電極に印加される従来の電極駆動

* 動波形のタイミングチャートである。

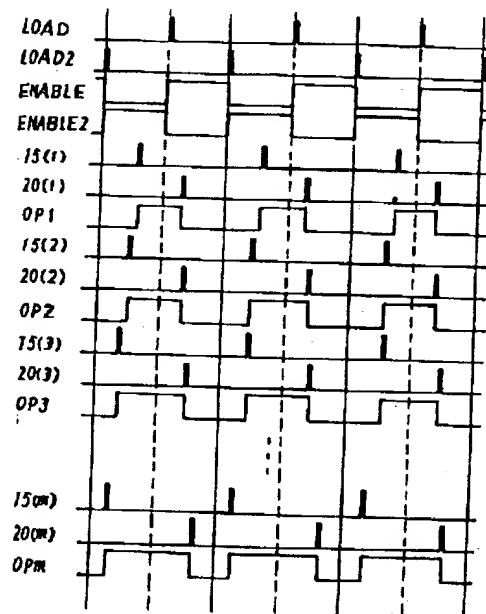
【符号の説明】

2 (1) ~ 2 (m) nビットデータラッチ、3 (1) ~ 3 (m) nビットアップカウンタ、4 (1) ~ 4 (m) R-Sフリップフロップ、5 ロード端子、6 ロード2端子、7 クロック端子、9 (1) ~ 9 (m) AND回路、10 データ入力端子、12 (1) ~ 12 (m) nビットダウンカウンタ、14 (1) ~ 14 (m) AND回路、16 イネーブル端子、19 イネーブル2端子、OP1 ~ OPm 出力端子、51 画像表示部、52 データ電極、53 走査電極、54 信号処理回路、55 パルス幅変調回路、56 データ電極駆動回路、57 走査電極駆動回路。

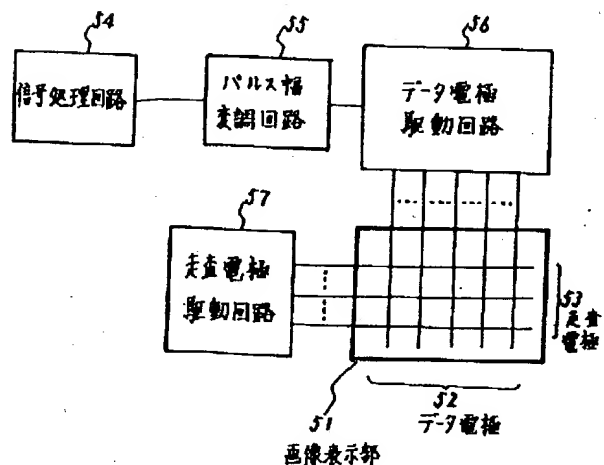
【図1】



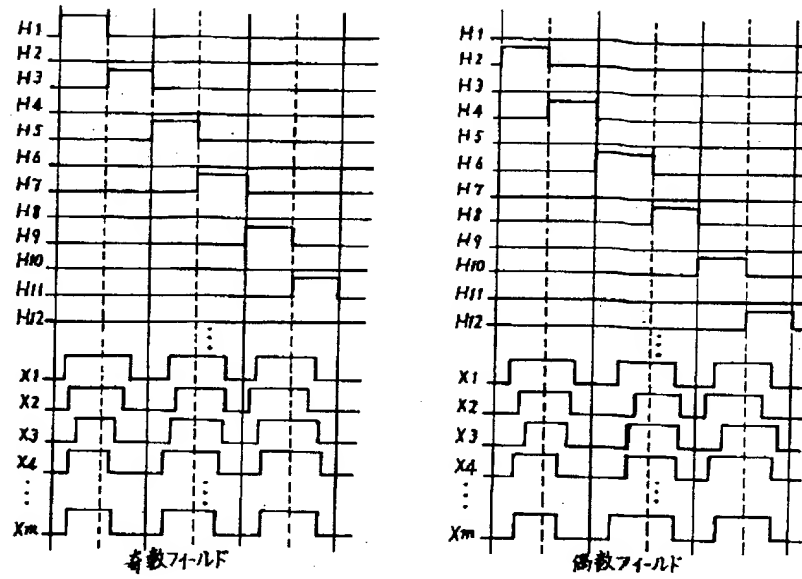
【図3】



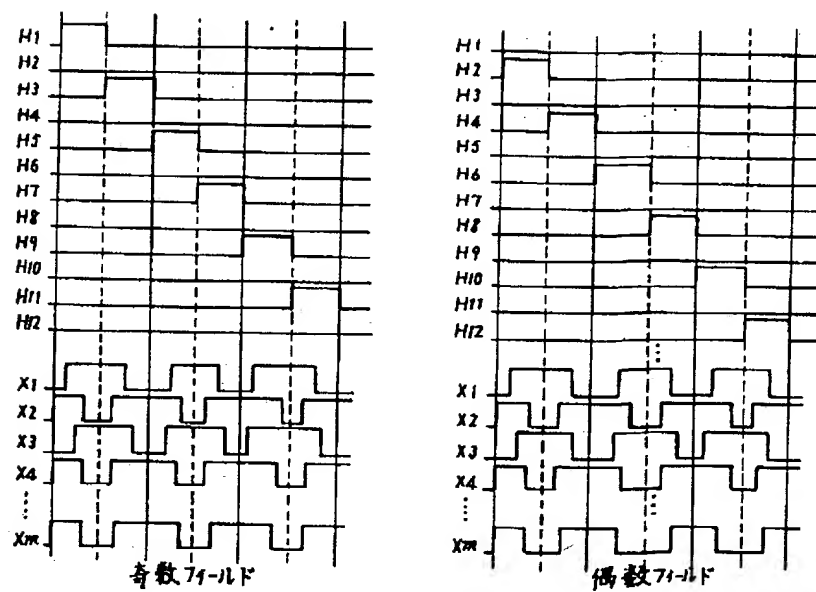
【図7】



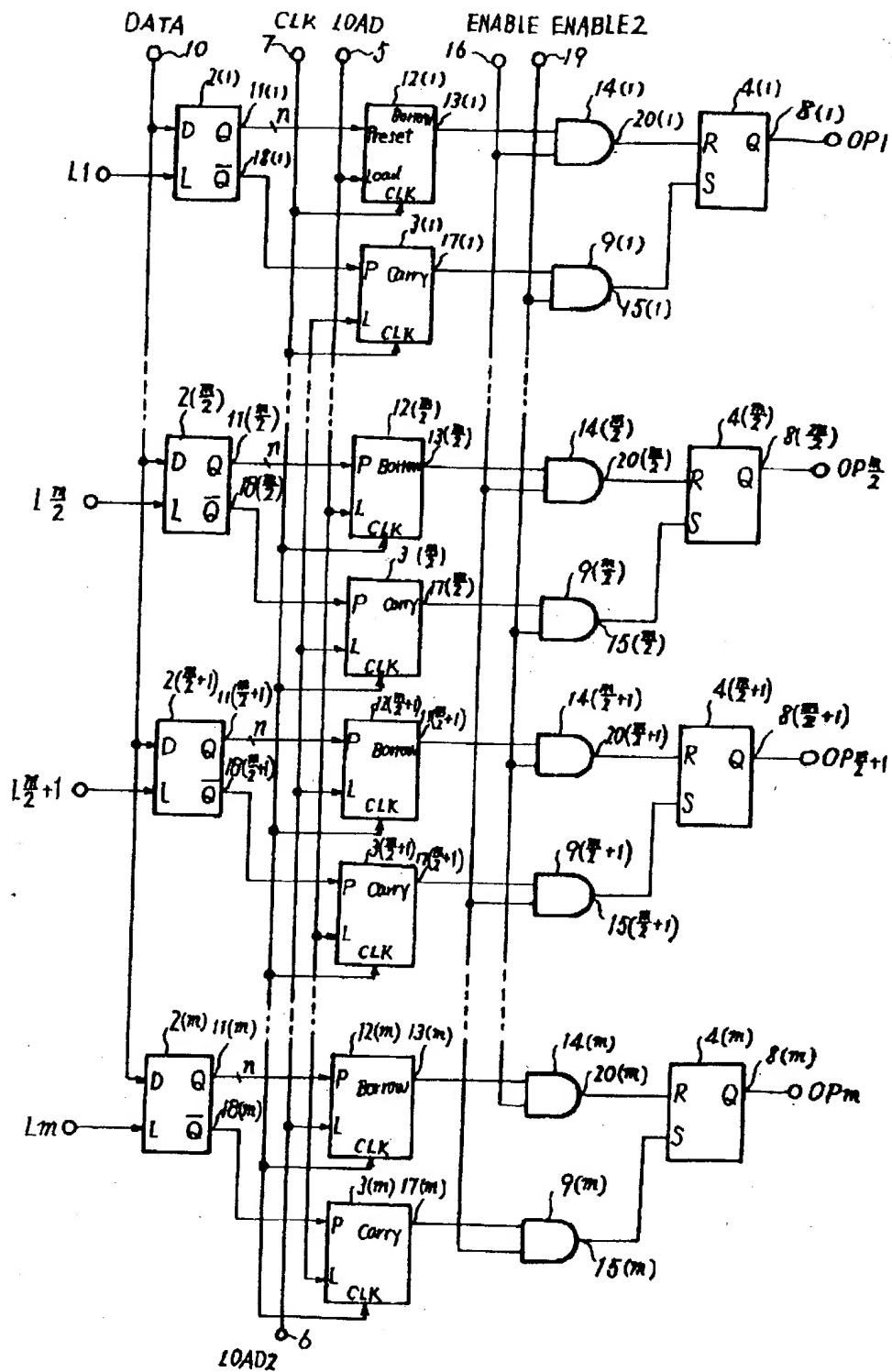
【図2】



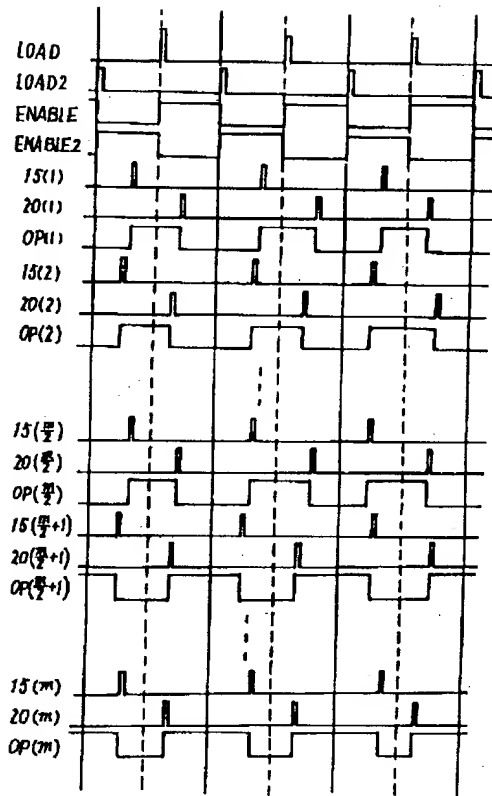
【図5】



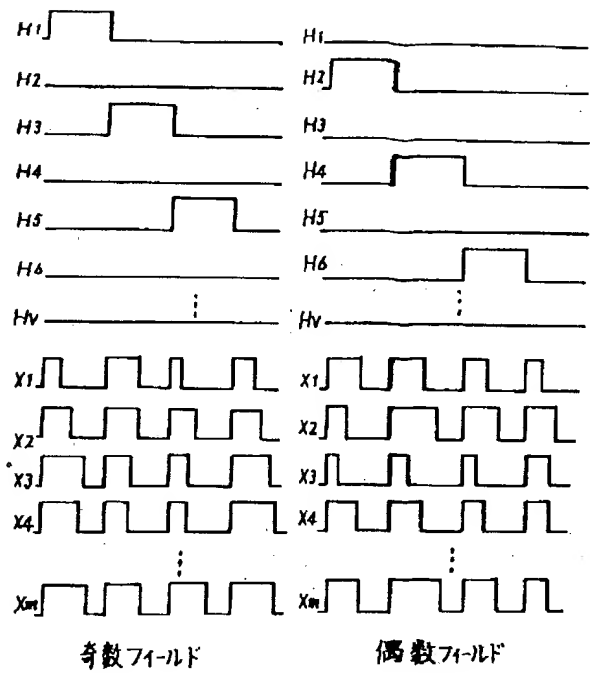
【図4】



【図6】



【図9】



【図8】

